

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年 1月29日

出 願 番 号

Application Number:

平成11年特許願第022484号

出 願 人

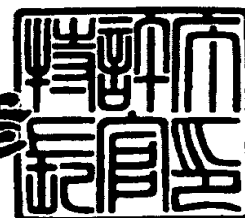
Applicant (s):

株式会社東芝

2000年 2月14日

特許庁長官
Commissioner,
Patent Office

近 藤 隆 彦



出証番号 出証特2000-3006798

【書類名】 特許願

【整理番号】 11521501

【提出日】 平成11年 1月29日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置

【請求項の数】 5

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 株式会社東芝 研究
開発センター内

【氏名】 森 藤 英 治

【特許出願人】

【識別番号】 000003078

【住所又は居所】 神奈川県川崎市幸区堀川町 7 2 番地

【氏名又は名称】 株式会社 東 芝

【代理人】

【識別番号】 100064285

【弁理士】

【氏名又は名称】 佐 藤 一 雄

【選任した代理人】

【識別番号】 100088889

【弁理士】

【氏名又は名称】 橋 谷 英 俊

【選任した代理人】

【識別番号】 100082991

【弁理士】

【氏名又は名称】 佐 藤 泰 和

【選任した代理人】

【識別番号】 100096921

【弁理士】

【氏名又は名称】 吉 元 弘

【手数料の表示】

【予納台帳番号】 004444

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】

信号入力パッドと、この信号入力パッドに入力された信号を増幅する増幅段とを半導体基板またはウェル上に備えた半導体装置において、

前記入力パッドの下方、および入力パッドから前記増幅段の素子までの配線の下方に、前記半導体基板またはウェルと同電位を与えられた低抵抗層を備えたことを特徴とする半導体装置。

【請求項 2】

前記低抵抗層が低抵抗化されたシリサイド層であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記シリサイド層は前記入力パッドあるいは前記配線の下方に位置するシリコン基板表面上あるいはウェル上に形成されたものであることを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】

前記シリサイド層は素子分離膜上に形成されたポリシリコン層上にシリサイドプロセスにより形成されたものであることを特徴とする請求項 2 に記載の半導体装置。

【請求項 5】

前記増幅段は、櫛形 MOS トランジスタで構成されることを特徴とする請求項 1 に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置に関するもので、特に低雑音用途のトランジスタ、例えば MOS FET およびその集積回路に好適なものである。

【0002】

【従来の技術】

半導体装置に含まれる各種回路のうち、例えば増幅回路においては低雑音特性が特に要求される。

【0003】

このような低雑音特性を実現したトランジスタとして、従来から櫛形構造のトランジスタが用いられている。

【0004】

この櫛形構造トランジスタは、その平面図である図9に示されるようにソース領域3およびドレイン領域4がゲート電極7を隔てて交互に形成され、全体として横長矩形状に形成されている。すなわち、複数のゲート電極7はこの矩形状の長辺間を交互に横断するように設けられており、ソース／ドレイン領域の長辺の両側に隣接するゲート電極どうしを接続するように、コンタクト孔9および電極10が設けられている。

【0005】

このような櫛形構造トランジスタの場合、ゲート電極7の低抵抗化を図るため、ポリシリコン層の上にシリサイド膜を積層させて低抵抗化を図り、ノイズの低減化が行われている。

【0006】

ところで、このような低雑音が要求される櫛形構造トランジスタを含む増幅回路内においては、その入力段に接続されている配線からパッドの下に存在する層間膜容量を経由して基板コンタクトまでの基板抵抗よりなる直列回路が入力段に接続された等価回路が存在する。その様子を図10を参照して説明する。

【0007】

図10によれば、半導体基板1の表面部に形成された素子分離用のフィールド酸化膜2が素子領域3、4を取り囲むように形成されるとともに、フィールド酸化膜2の一部には基板取り出しのための開口部5が形成され、この開口部5の基板表面には基板あるいはウェルの電位を決定するための、ウェルと同一導電型の高濃度層6が形成されている。

【 0 0 0 8 】

素子領域 3、4 およびその周囲のフィールド酸化膜 2 上にはゲートポリシリコン層 7 が形成され、全体は層間絶縁膜 8 で覆われている。

【 0 0 0 9 】

層間絶縁膜 8 にはフィールド酸化膜 2 上のゲートポリシリコン層 7 に対応してコンタクト孔 9 が形成され、メタル配線 1 0 と接続されている。また、ウェル電位取り出し用高濃度層 6 に対応してコンタクト孔 1 1 が形成され、このコンタクト孔 1 1 によりウェル電位取出配線 1 2 に接続されている。

【 0 0 1 0 】

また、これらの上に第 2 層の層間絶縁膜 1 3 が形成され、ゲート配線 1 0 に対応したコンタクト孔 1 4 が設けられ、第 2 層の層間絶縁膜上にゲート取り出し配線 1 5 が形成されている。

【 0 0 1 1 】

【発明が解決しようとする課題】

しかしながら、このような構成では、図 1 0 に示されるように、ウェル電位取出配線 1 2 とゲート取り出し配線 1 5 との間には基板抵抗 R_1 と層間膜容量 C_1 が直列接続されたような等価回路が形成される。

【 0 0 1 2 】

そしてこの基板抵抗 R_1 で発生する熱雑音が、層間膜容量 C_1 を介してランジスタの入力段に注入され、ノイズ特性を劣化させる。特に、ゲート入力インピーダンスが大きい MOSFET では基板抵抗によるノイズ特性劣化は顕著である。

【 0 0 1 3 】

そこで、本発明は、ノイズ特性の良好な半導体装置を提供することを目的とする。

【 0 0 1 4 】

【課題を解決する手段】

本発明によれば、信号入力パッドと、この信号入力パッドに入力された信号を増幅する増幅段とを半導体基板またはウェル上に備えた半導体装置において、前

記入入力パッドの下方、および入力パッドから前記増幅段の素子までの配線の下方に、前記半導体基板またはウェルと同電位を与えられた低抵抗層、特にシリサイド層を備えたことを特徴とする。

【0015】

低雑音特性が要求されるトランジスタの入力パッドおよび入力パッドに接続されている配線層の下に低抵抗のシリサイド層を備え、かつその電位をグランドに落しているので、基板抵抗が減少し、基板の熱雑音が低減し、層間膜容量を介して増幅段に入る雑音を減少でき、半導体装置全体としての低雑音化を達成できる。

【0016】

このシリサイド層は前記入入力パッドあるいは前記配線の下方に位置するシリコン基板表面上あるいはウェル上に形成されたものであるか、素子分離膜上に形成されたポリシリコン層上にシリサイドプロセスにより形成されたものであると良い。

【0017】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態のいくつかを詳細に説明する。

【0018】

図1は本発明にかかる半導体装置の第1の実施の形態のレイアウトを示す平面図、図2はその素子断面図であり、これらは低雑音増幅器の入力段のMOSFETのゲート部を示している。これらの図面において、図9および図10で説明した従来技術にかかる部分に対応する部分には100番台の対応する参照番号を付することとする。

【0019】

シリコン基板101の表面はフィールド酸化膜102で分離されて、素子領域と基板電位取り出し領域が形成されている。基板電位取り出し領域の基板表面部にはウェル電位を決定するためのウェルと同一導電型の不純物高濃度拡散領域106が形成され、その表面には金属シリサイド膜によるシールド膜121が形成されている。

【 0 0 2 0 】

また、素子領域の半導体基板上にはゲート酸化膜（図示せず）を介してポリシリコン膜によるゲート 1 0 7 が形成され、このゲート 1 0 7 の表面も金属シリサイド膜 1 2 2 に覆われている。

【 0 0 2 1 】

全体は層間絶縁膜 1 0 8 で覆われ、ゲート 1 0 7 と接続するためのコンタクト孔 1 0 9 が層間絶縁膜 1 0 8 に形成され、アルミニウム等で充填されて第 1 層配線 1 1 0 が形成され、さらに絶縁膜 1 1 3 が堆積され、そこに設けられたコンタクト孔 1 1 4 に充填されたアルミニウム等により絶縁膜 1 1 3 上にゲート入力部取り出し配線 1 1 5 およびゲート入力用パッド 1 1 6 が形成されている。

【 0 0 2 2 】

また、図 2 には示されていないが、図 1 に示すようにシールド膜 1 2 1 にはコンタクト 1 1 8 により基板コンタクト取り出しパッド 1 1 7 が接続されており、さらに電源電圧パッド 1 1 9 も設けられている。このように、シリサイド層は基板コンタクト部を兼ねている。

【 0 0 2 3 】

この実施の形態では図 1 および図 2 にハッチングで図示されるように、入力段の MOSFET のゲート部の配線上およびその取り出し用パッドの下部のシリコン基板表面にシリサイド層が形成されており、基板抵抗を下げ、熱雑音を低減させている。

【 0 0 2 4 】

図 3 および図 4 はこのシリサイド層の形成を示す工程別断面図である。まず、半導体基板 1 0 1 の表面部にウエル形成後、LOCOS 法等の選択酸化法により素子分離のためのフィールド酸化膜 1 0 2 を形成し（図 3）、素子部 A と、ゲート部の配線およびゲート入力用パッドの下方位置に相当する部分に当たる基板電位取り出し領域 B を分離する。

【 0 0 2 5 】

次に、熱酸化により素子領域にはゲート酸化膜 1 2 3 を形成し、その上にポリシリコンを堆積させてパターニングすることによりゲート電極 1 0 7 を得る（図

4)。図4の例ではゲート電極およびその周囲の不純物拡散領域は良く知られたLDD構造となっている。すなわち、ゲート電極107形成後、このゲート電極をイオン注入マスクとして比較的弱いエネルギーで素子領域にイオン注入を行って浅く低濃度の拡散層131を形成し、続いて全体にシリコン窒化膜、シリコン酸化膜などの絶縁膜を堆積してこれを異方性エッチングによりエッチバックすることによりゲート電極の側面に側壁132を形成し、これをマスクにして比較的高いエネルギーでイオン注入を行うことにより深く高濃度の拡散層133を形成する。この際、基板電位取り出し領域には、基板と同一導電型のイオン注入を行なって不純物拡散層106を形成する。例えばnチャネルMOSの場合、素子部にリン等のn型不純物のイオン注入を行い、基板電位取り出し領域ではホウ素等のp型不純物のイオン注入を行なう。

【0026】

その後サリサイドプロセスにより、素子部と基板コンタクト部にシリサイド層122及び121を形成する(図4)。ここで形成されるシリサイド膜としては、例えば $TiSi_2$ 、 $CoSi_2$ 、 $NiSi$ 、 $PtSi_2$ などが好適である。

【0027】

その後層間絶縁膜をCVD法等により成膜し、必要箇所にコンタクト孔を形成し、アルミニウム等の金属の蒸着、パターニングにより金属配線を形成し、図2のような構造を得る。

【0028】

以上のように、この第1の実施の形態によれば、入力パッドおよびこの入力パッドから増幅段への配線の下方に基板電位取り出し部が形成され、その表面にシリサイド膜を形成して抵抗値を下げて熱雑音の発生を防止している。

【0029】

また、MOSFETの場合、ゲート幅の小さいMOSFETほど、入力インピーダンスが大きくなって基板の効果を大きく受け、ノイズ特性が劣化するため、低雑音回路には用いにくい。このシールドを用いることにより小サイズのトランジスタでも低雑音が実現できるようになるため、電流を絞った回路構成にすることができ、消費電力低減が実現できる。

【 0 0 3 0 】

また、シリサイドのシールド層は、素子部と同じ工程で形成されるため、工程数の増加を招くことはない。

【 0 0 3 1 】

図 5 は本発明にかかる半導体装置の第 2 の実施の形態のレイアウトを示す平面図、図 6 はその素子断面図であり、図 1 および図 2 と同じ部分には同じ参照番号を付してある。

【 0 0 3 2 】

この実施の形態と第 1 の実施の形態との相違は、第 1 の実施の形態においては、低雑音増幅器の入力段の MOSFET のゲート部の配線およびその取り出し用パッドの下部に基板電位取り出し領域のシリサイド膜 1 2 1 が位置していたのに対し、この実施の形態では素子分離用酸化膜（フィールド酸化膜）上に形成されたポリシリコン膜 1 4 1 上のシリサイド層 1 4 2 が位置している点である。このポリシリコン膜 1 4 1 はゲート電極と同じ層でなるポリシリコン膜で実現可能であり、この場合、パターニングにより同時に形成される。

【 0 0 3 3 】

また、基板電位取り出し領域 1 2 1 は図 1 に示される第 1 の実施の形態の場合のようにゲート取り出しパッド 1 1 6 やその配線 1 1 5 の直下ではなく、図 5 に示されるようにシリサイド膜 1 4 2 の形成領域外の場所 1 2 1 に設けられる。そしてゲートポリシリコン膜 1 4 1 上のシリサイド膜 1 4 2 は基板電位取り出し領域 1 2 1 に接続されているため、基板電位と同電位となっており、これらは金属配線により基板電位取り出しパッド 1 1 7 に接続されて外部への電位の取り出しが可能となっている。

【 0 0 3 4 】

図 7 および図 8 はこの実施の形態におけるシリサイド層の形成を示す工程別断面図である。

【 0 0 3 5 】

まず、半導体基板 1 0 1 の表面部にウエル形成後、LOCOS 法等の選択酸化法により素子分離のためのフィールド酸化膜 1 0 2 を形成し、素子部 A を分離す

る（図 7）。なお、基板電位取り出し領域 B も形成されるが、図 7 には図示されていない。

【 0 0 3 6 】

次に、熱酸化によりゲート酸化膜 1 2 3 を形成し、その上にポリシリコンを堆積させてパターニングすることにより素子領域ではゲート電極 1 0 7、フィールド酸化膜 1 0 2 上では予定のゲート部の配線およびその取り出し用パッド下部に対応してゲートポリシリコン膜 1 4 1 を形成する（図 7）。

【 0 0 3 7 】

次に素子領域 A に素子を形成する。この実施の形態でも形成されるトランジスタは L D D 構造となっており、その製造工程は第 1 の実施の形態と同じであり、素子部のトランジスタの拡散層形成用のイオン注入を行なうとともに基板電位取り出し領域 1 2 1 に基板と同タイプのイオン注入を行なう。例えば、トランジスタが n チャネル M O S トランジスタであれば、素子部には n タイプのイオン注入を行い、基板コンタクト部に p タイプのイオン注入を行なう。

【 0 0 3 8 】

その後、サリサイドプロセスにより、素子部の基板表面とゲート電極上にシリサイド膜を形成するとともに、同一工程でゲートポリシリコン膜 1 4 1 上にシリサイド膜 1 4 2 を形成する（図 8）。

【 0 0 3 9 】

その後層間絶縁膜を C V D 法等により成膜し、必要箇所にコンタクト孔を形成し、アルミニウム等の金属の蒸着、パターニングにより金属配線を形成し、素子が完成される。

【 0 0 4 0 】

この第 2 の実施の形態でも入力パッドおよびこの入力パッドから増幅段への配線の下方にゲートポリシリコン膜上に形成されたシリサイド膜が形成され、その電位は基板電位とされているので、第 1 の実施の形態と同様に基板抵抗が下がり、熱雑音が減少して低雑音化を達成できる。

【 0 0 4 1 】

また、ゲートポリシリコン上のシリサイド膜は素子部と同一工程で形成される

ため、工程数の増加を招かない。

【0042】

以上の実施の形態では入力パッドおよび入力パッドから増幅段への配線の下に設けられる基板と同電位の膜は特定のものであったが、半導体装置の特性上必要な種々の領域、配線とすることができる。

【0043】

【発明の効果】

以上のように、請求項1にかかる本発明の半導体装置によれば、信号入力パッドおよびこれから増幅段までの配線の下に低抵抗層を具備しているので、その低抵抗層により基板抵抗が減少し、基板抵抗で発生する熱雑音を低減させることができ、半導体装置としての雑音特性を改善することができる。

【0044】

低抵抗層として基板またはウェルの電位を与えられたシリサイド層を用いた場合には、理想的な低抵抗シールドが容易に得られ、層間容量の低減による高利得と配線の単純化が実現できる。

【0045】

またシールド層形成による配線層数増大もなく、工程数の増大もない。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態にかかる半導体装置の入力部の配置を示す平面図。

【図2】

図1に対応する素子断面図。

【図3】

図1および2の構成を得るための1工程の断面図。

【図4】

図3の工程に続く工程を示す断面図。

【図5】

本発明の第2の実施の形態にかかる半導体装置の入力部の配置を示す平面図。

【図 6】

図 5 に対応する素子断面図。

【図 7】

図 5 および 6 の構成を得るための 1 工程の断面図。

【図 8】

図 7 の工程に続く工程を示す断面図。

【図 9】

従来用いられている低雑音トランジスタとしての櫛形構造トランジスタを示す平面図。

【図 10】

従来の入力トランジスタの問題を示す素子断面図。

【符号の説明】

- 1、101 半導体基板
- 2、102 フィールド酸化膜
- 3、4 ソース・ドレイン領域
- 5 基板電位取り出し用開口部
- 6、106 基板電位取り出し領域
- 7、107 ゲート電極
- 8、108 層間絶縁膜
- 9、11、14、109、114、118 コンタクト孔
- 10 パッド
- 13、113 絶縁膜
- 15、115 入力パッドからの配線
- 16、116 入力パッド
- 110 第 1 層配線
- 117 電位取り出しパッド
- 119 電源電圧パッド
- 121 基板電位取り出し領域

1 2 2、1 4 2 シリサイド

1 2 3 ゲート絶縁膜

1 3 1 浅い拡散層

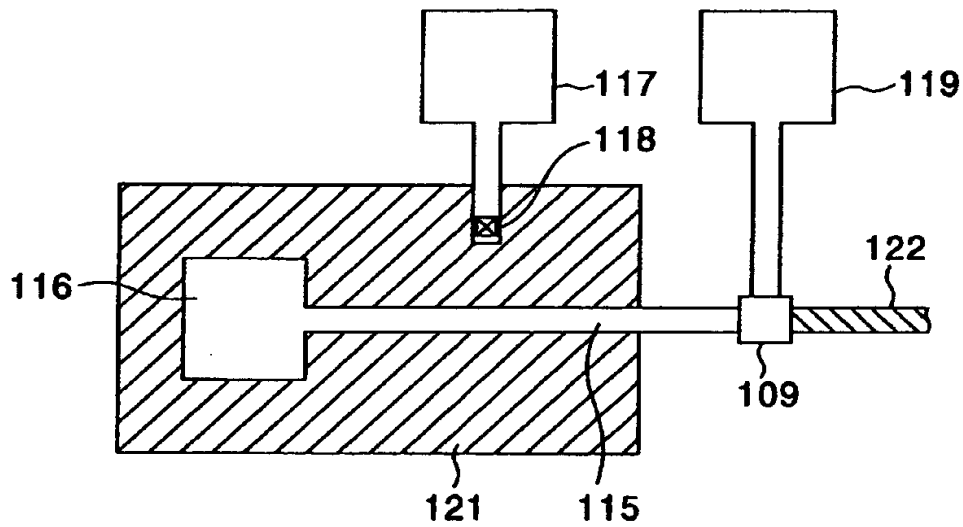
1 3 2 側壁

1 3 3 深い拡散層

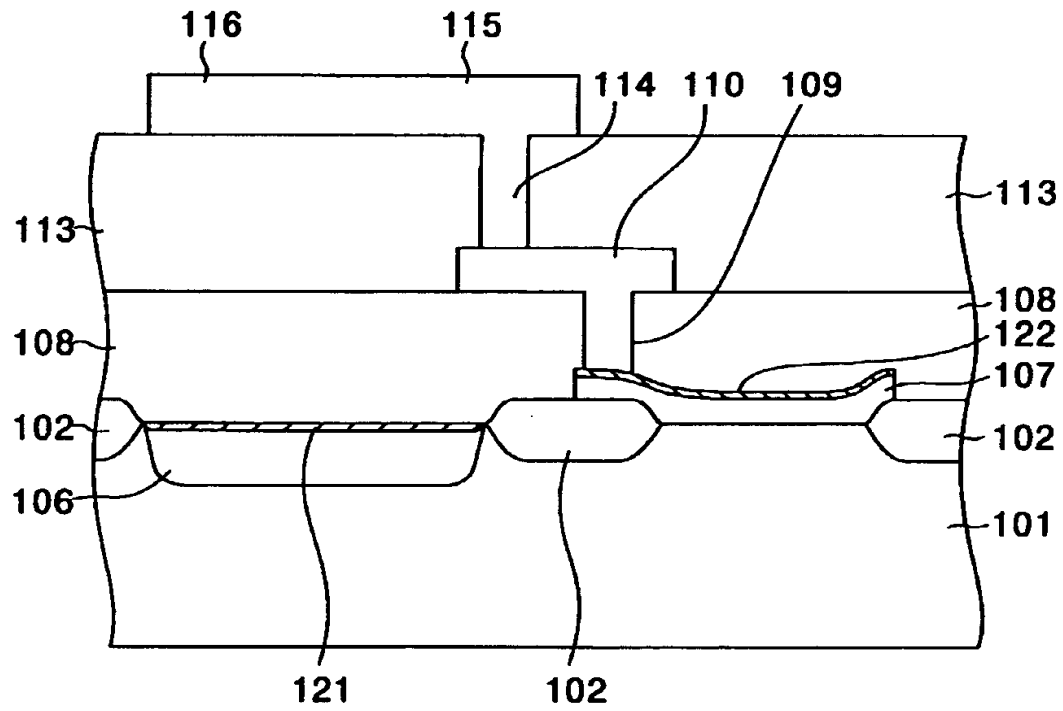
1 4 1 ゲートポリシリコン

【書類名】 図面

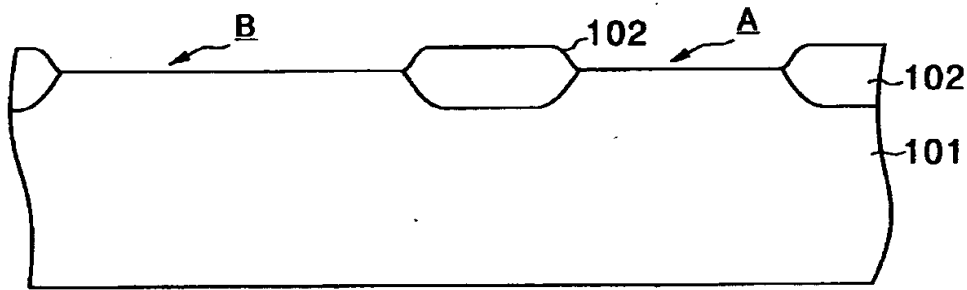
【図 1】



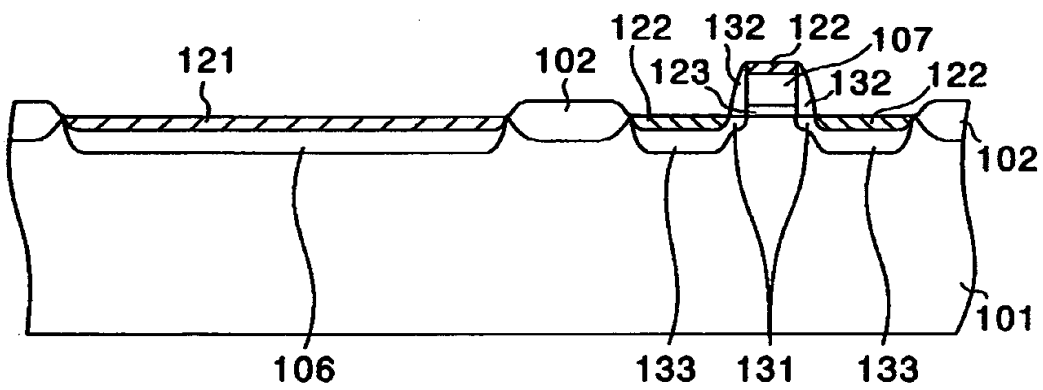
【図 2】



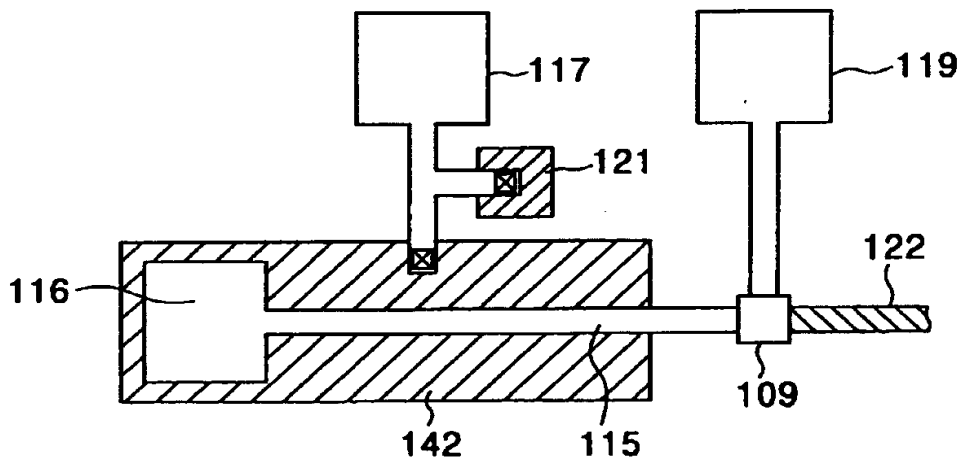
【図 3】



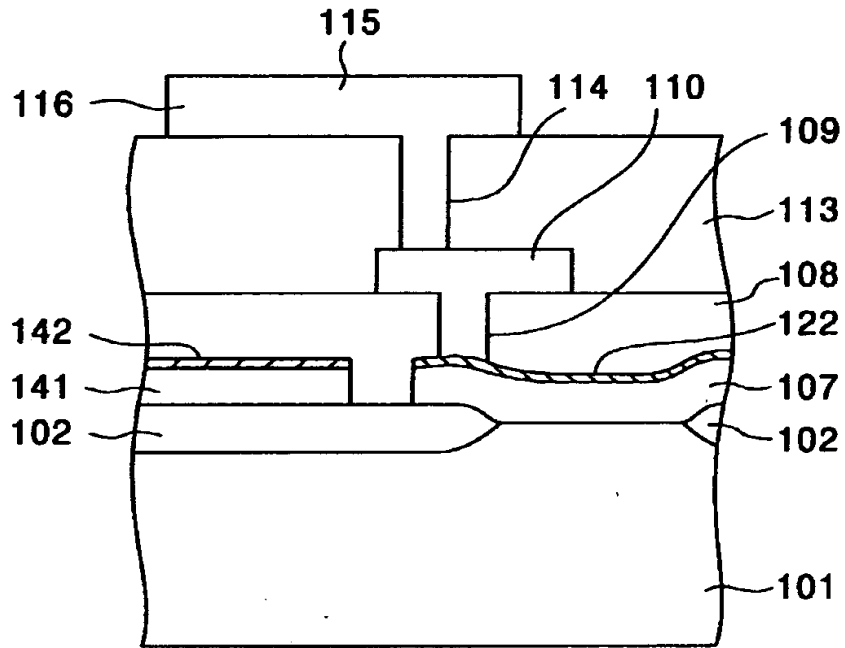
【図 4】



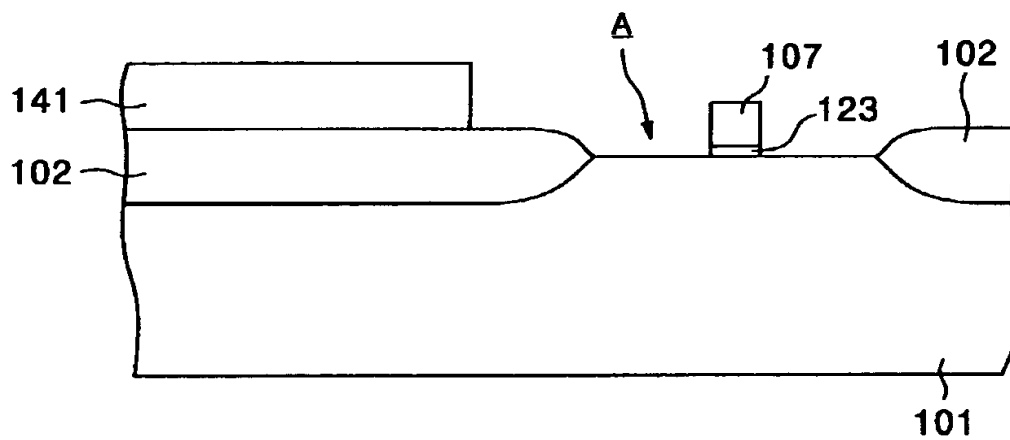
【図 5】



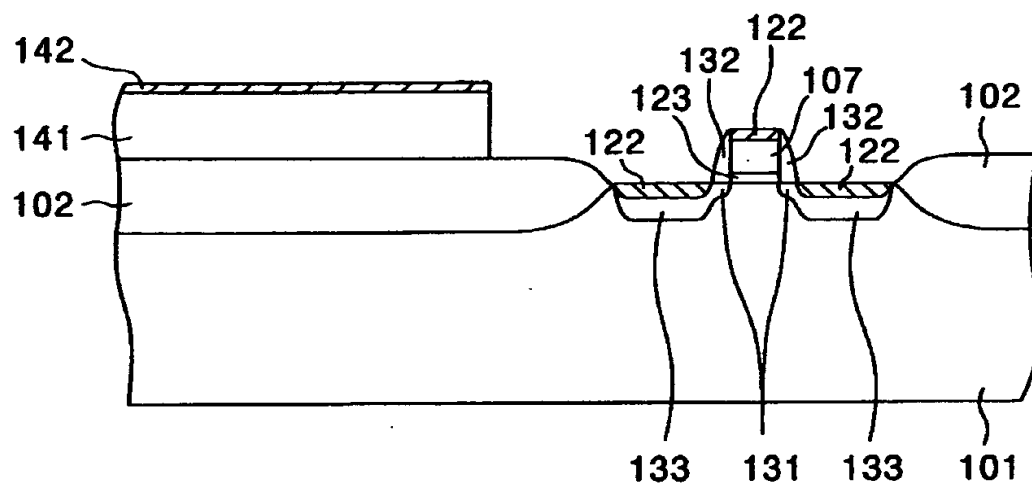
【図 6】



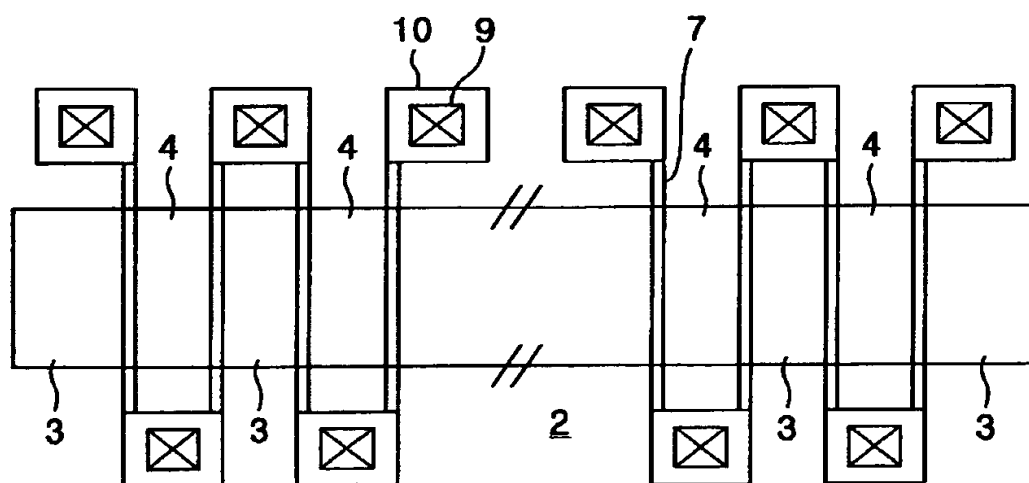
【図 7】



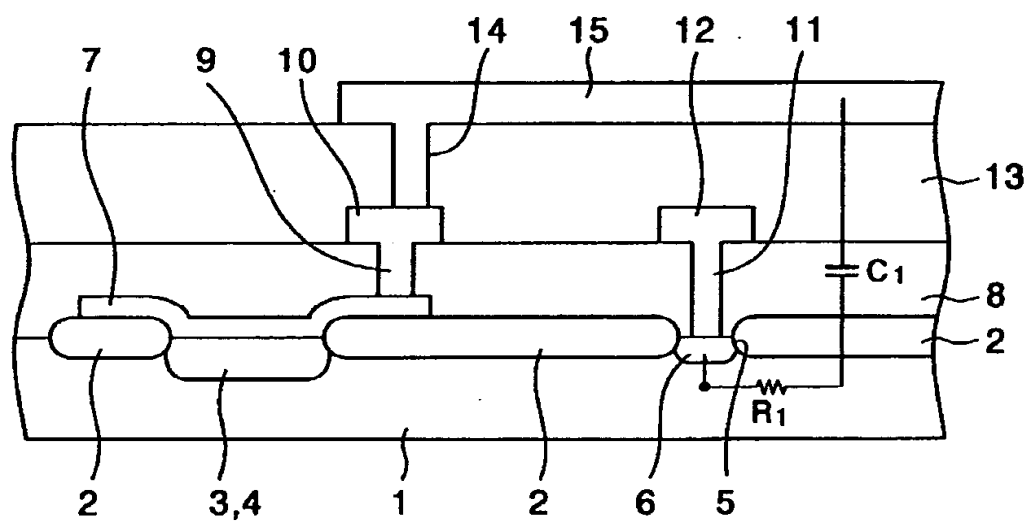
【図 8】



【図 9】



【図 1 0】



【書類名】 要約書

【要約】

【課題】 ノイズ特性の良好な半導体装置を提供する。

【解決手段】 信号入力パッド（1 1 6）と、この信号入力パッドに入力された信号を増幅する増幅段とを半導体基板（1 0 1）またはウェル上に備えた半導体装置において、入力パッドの下方、および入力パッドから増幅段の素子までの配線（1 1 5）の下方に、半導体基板またはウェルと同電位を与えられた低抵抗層（1 2 1）、特にシリサイド層を備える。この低抵抗層はその電位をグランドに落しているので、基板抵抗が減少し、基板の熱雑音が低減し、層間膜容量を介して増幅段に入る雑音を減少でき、半導体装置全体としての低雑音化を達成できる。低抵抗層は基板に直接接することなく、ゲートポリシリコン膜（1 4 1）上のシリサイド膜（1 4 2）であってもよい。

【選択図】 図 2

[illegible]

識別番号 [000003078]

1. 変更年月日 1990年 8月22日
[変更理由] 新規登録
住 所 神奈川県川崎市幸区堀川町72番地
氏 名 株式会社東芝